

Title: **TW0494553B: Stacked chip packaging structure and the process thereof**

Derwent Title: **Stacked chip packaging structure and the process thereof - for increasing the heat dissipation efficiency and electrical quality** [\[Derwent Record\]](#)

Country: **TW** Taiwan

Kind: **B** Patent ⁱ

Inventor: **LI, SHR-JANG**; Taiwan

Assignee: **ADVANCED SEMICONDUCTOR ENGINEERING, INC.** Taiwan
[News, Profiles, Stocks and More about this company](#)

Published / **2002-07-11** / 2001-06-18

Filed:

Application **TW2001090114686**

Number:

IPCCode: **H01L 23/28**;

ECLA Code: **None**

Priority **2001-06-18 TW2001090114686**

Number:

Abstract: A stacked chip packaging structure, which comprises: a substrate, having an opening, a plurality of first wire-bonding contacts, a plurality of second wire-bonding contacts, wherein the first wire-bonding contacts and the second wire-bonding contacts are located on the substrate surface at the periphery of the opening, and the opening penetrates the substrate; a first chip, with a plurality of first pads; a second chip, with a plurality of second pads, wherein the first chip is attached on the second active surface of the second chip by the back of the first chip, and the second chip is located in the opening; a plurality of first leads, for electrically connecting the first pads with the first wire-bonding contacts; a plurality of second leads, for electrically connecting the second pads with the second wire-bonding contacts; and, a packaging material, wherein the packaging material covers the first chip, the second chip, the first leads and the second leads.

中華民國專利公報 [19] [12]

[11]公告編號：494553

[44]中華民國 91 年 (2002) 07 月 11 日

發明

全 6 頁

(一)

[51] Int.Cl⁰⁷ : H01L23/28

[54]名稱：堆疊型晶片封裝結構及其製程

[21]申請案號：090114686

[22]申請日期：中華民國 90 年 (2001) 06 月 18 日

[72]發明人：

李士璋

高雄縣大社鄉民治路四十三號

[71]申請人：

日月光半導體製造股份有限公司

高雄市楠梓加工出口區經三路二十六號

[74]代理人：詹銘文 先生

1

2

[57]申請專利範圍：

1.一種堆疊型晶片封裝結構，其至少包括：

一基板，具有一基板表面，且該基板還具有一開洞、複數個第一打線接點、複數個第二打線接點，該些第一打線接點及該些第二打線接點係位於該基板表面上，而該開洞係貫穿該基板；

一第一晶片，具有一第一主動表面及對應之一第一晶片背面，而該第一晶片還具有複數個第一焊墊，位於該第一主動表面上；

一第二晶片，具有一第二主動表面及對應之一第二晶片背面，而該第二晶片還具有複數個第二焊墊，位於該第二主動表面上，該第二晶片位於該開洞中，且該第一晶片以其該第一晶片背面貼附於該第二晶片之該第二主動表面上；

複數個第一導線，該些第一導線之

一端與該些第一焊墊電性連接，而該些第一導線之另一端與該些第一打線接點電性連接；

5. 複數個第二導線，該些第二導線之一端與該些第二焊墊電性連接，而該些第二導線之另一端與該些第二打線接點電性連接；以及

一封裝材料，該封裝材料包覆該第一晶片、該第二晶片、該些第一導線、該些第二導線及該基板表面。

10. 2.如申請專利範圍第1項所述之堆疊型晶片封裝結構，還包括複數個焊球，且該基板還具有一基板背面，該基板背面與該基板表面係位於該基板相對應之兩面，而該基板還具有複數個焊球接點，位於該基板背面上，且該些焊球分別位於該些焊球接點上。

15. 3.如申請專利範圍第1項所述之堆疊型晶片封裝結構，其中該基板還具有

20.

(2)

3

一基板背面，該基板背面與該基板表面係位於該基板相對應之兩面，而該第二晶片係突出於該基板背面所形成之平面。

- 4.如申請專利範圍第1項所述之堆疊型晶片封裝結構，其中該基板還具有一基板背面，該基板背面與該基板表面係位於該基板相對應之兩面，而該第二晶片背面與該基板背面係為共平面。
- 5.如申請專利範圍第1項所述之堆疊型晶片封裝結構，其中該第一晶片係以其該第一晶片背面貼附於該第二晶片之該第二主動表面的中間區域。
- 6.一種堆疊型晶片封裝結構，其至少包括：
一基板，具有一基板表面，且該基板還具有一開洞、複數個打線接點，該打線接點係位於該基板表面上，而該開洞係貫穿該基板；
一第一晶片，具有一第一主動表面及對應之一第一晶片背面，而該第一晶片還具有複數個第一焊墊，位於該第一主動表面上；
一第二晶片，具有一第二主動表面及對應之一第二晶片背面，而該第二晶片還具有複數個第二焊墊，位於該第二主動表面上，該第二晶片位於該開洞中，且該第一晶片以其該第一晶片背面貼附於該第二晶片之該第二晶片背面上；
複數個導線，該些導線之一端與該些第一焊墊電性連接，而該些導線之另一端與該些打線接點電性連接；以及
一封裝材料，該封裝材料包覆該第一晶片、該第二晶片、該些導線及該基板表面。
- 7.如申請專利範圍第6項所述之堆疊型

4

晶片封裝結構，還包括複數個凸塊，該些凸塊分別位於該些第二焊墊上。

- 8.如申請專利範圍第6項所述之堆疊型晶片封裝結構，還包括複數個焊球，且該基板還具有一基板背面，該基板背面與該基板表面係位於該基板相對應之兩面，而該基板還具有複數個焊球接點，位於該基板背面上，且該些焊球分別位於該些焊球接點上。
- 9.如申請專利範圍第6項所述之堆疊型晶片封裝結構，其中該基板還具有一基板背面，該基板背面與該基板表面係位於該基板相對應之兩面，而該第二晶片係突出於該基板背面所形成之平面。
- 10.如申請專利範圍第6項所述之堆疊型晶片封裝結構，其中該基板還具有一基板背面，該基板背面與該基板表面係位於該基板相對應之兩面，而該第二主動表面與該基板背面係為共平面。
- 11.如申請專利範圍第6項所述之堆疊型晶片封裝結構，其中該第一晶片係以其該第一晶片背面貼附於該第二晶片之該第二晶片背面的中間區域。
- 12.一種晶片封裝結構，其至少包括：
一基板，具有一基板表面，且該基板還具有一開洞、複數個打線接點，該些打線接點係位於該基板表面上，而該開洞係貫穿該基板；
一晶片，具有一第一主動表面，而該第一晶片還具有複數個第一焊墊，位於該第一主動表面上，而該晶片位於該開洞中；
複數個導線，該些導線之一端與該些第一焊墊電性連接，而該些導線之另一端與該些打線接點電性連

(3)

5

接；以及
一封裝材料，該封裝材料包覆該晶片、該些導線及該基板表面。

13.如申請專利範圍第12項所述之晶片封裝結構，還包括複數個凸塊，而該晶片還具有一第二主動表面，該第二主動表面與該第一主動表面係位於該晶片相對應之兩面，且該晶片還具有複數個第二焊墊，位於該第二主動表面上，而該些凸塊係位於該些第二焊墊上。

14.如申請專利範圍第12項所述之晶片封裝結構，還包括複數個焊球，且該基板還具有一基板背面，該基板背面與該基板表面係位於該基板相對應之兩面，而該基板還具有複數個焊球接點，位於該基板背面上，且該些焊球分別位於該些焊球接點上。

15.如申請專利範圍第12項所述之晶片封裝結構，其中該基板還具有一基板背面，該基板背面與該板表面係位於該基板相對應之兩面，而該晶

6

片係突出於該基板背面所形成之平面。

圖式簡單說明：

第1圖繪示習知堆疊型封裝結構之剖面示意圖。

第2圖至第4圖繪示依照本發明第一較佳實施例之一種堆疊型晶片封裝結構製程之剖面示意圖。

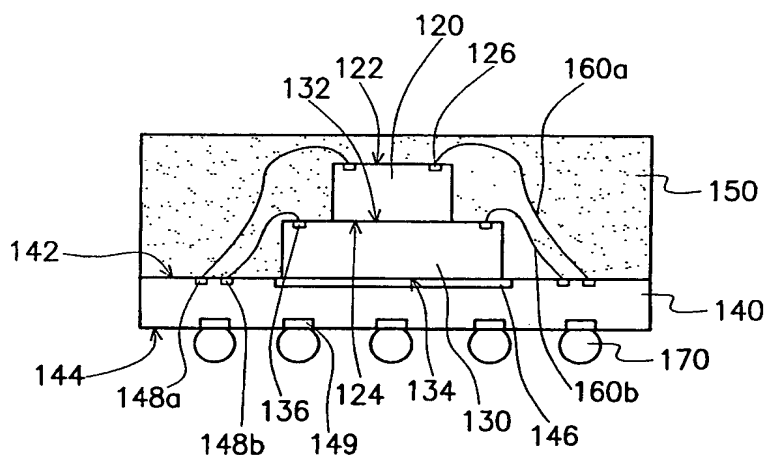
第5圖繪示依照本發明第二較佳實施例之一種堆疊型晶片封裝結構之剖面示意圖。

第6圖繪示依照本發明第三較佳實施例之一種堆疊型晶片封裝結構之剖面示意圖。

第7圖繪示依照本發明第四較佳實施例之一種堆疊型晶片封裝結構之剖面示意圖。

第8圖繪示依照本發明第五較佳實施例之一種堆疊型晶片封裝結構之剖面示意圖。

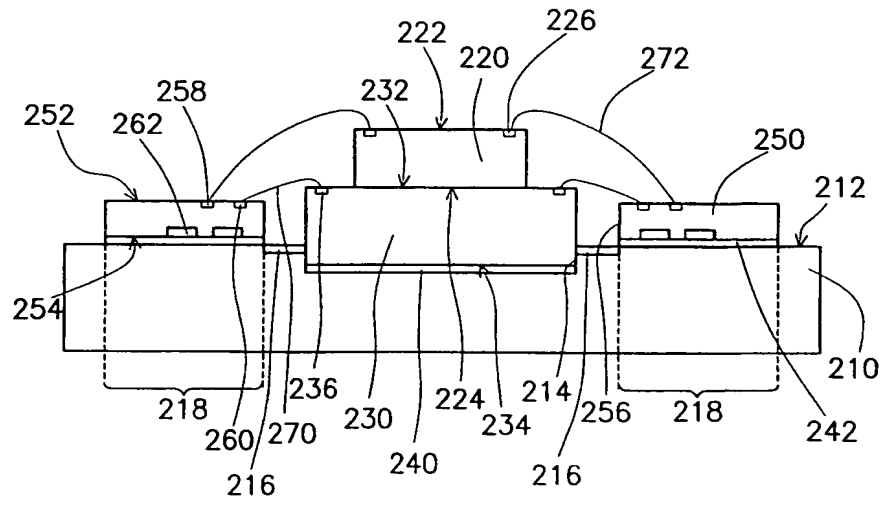
第9圖繪示依照本發明第六較佳實施例之一種堆疊型晶片封裝結構之剖面示意圖。



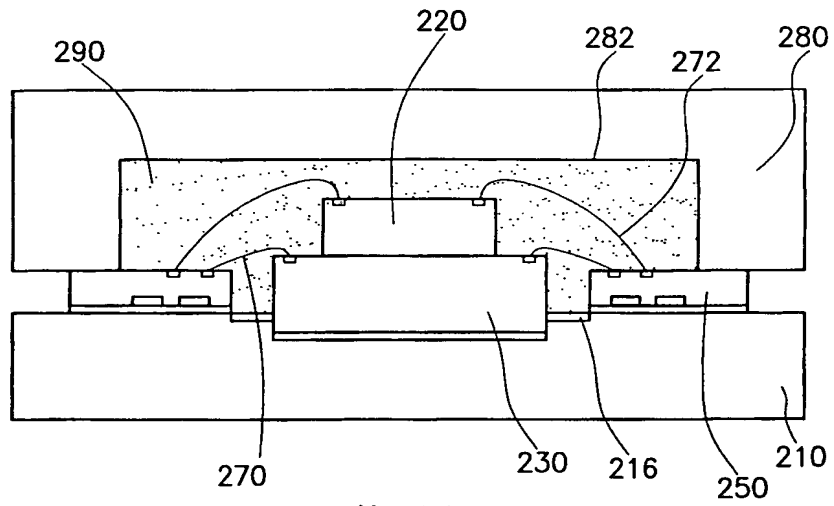
第1圖

100

(4)

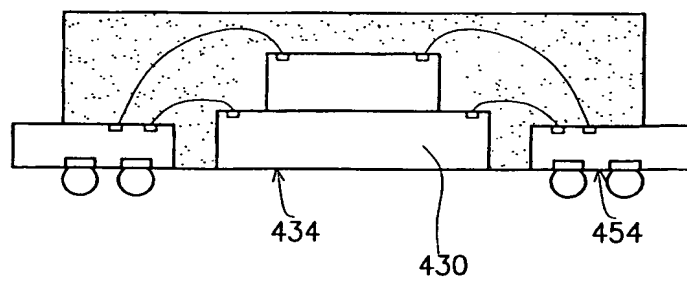
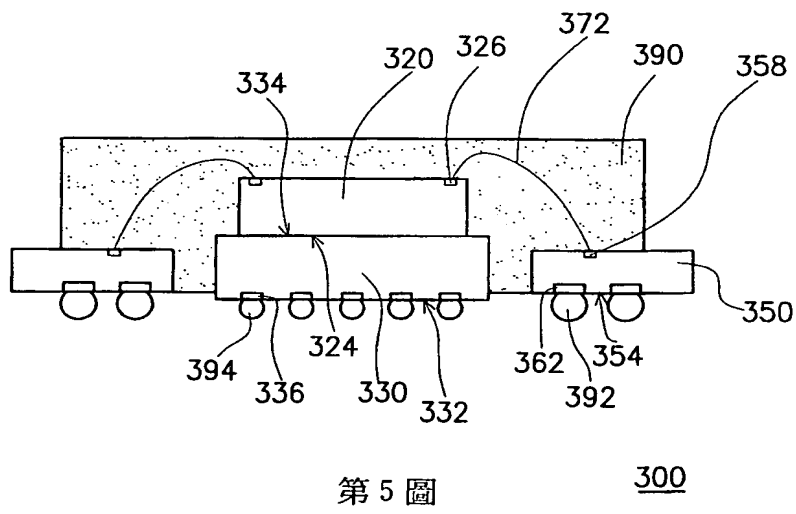
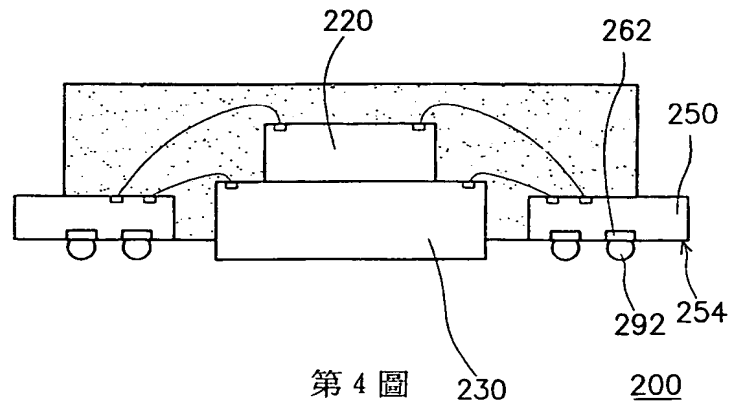


第 2 圖

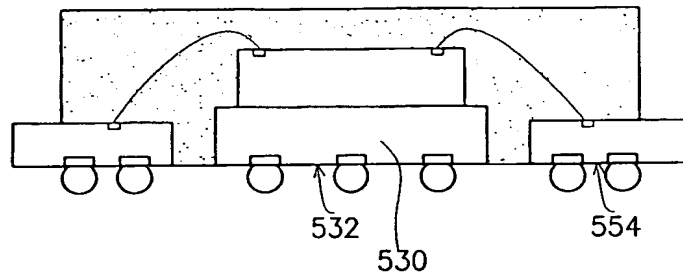


第 3 圖

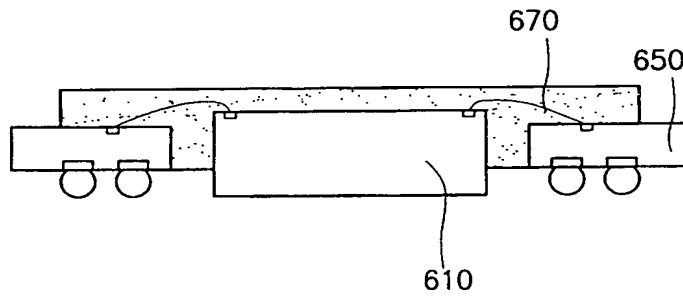
(5)



(6)

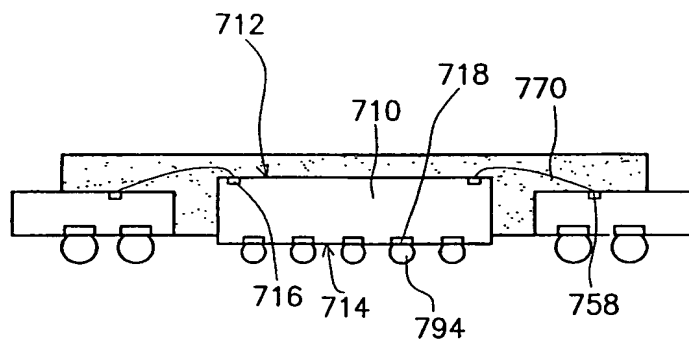


第 7 圖



第 8 圖

600



第 9 圖

700

公告本

申請日期	90.6.18
案 號	90114686
類 別	電 子

A4
C4

494553

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	堆疊型晶片封裝結構及其製程
	英 文	
二、發明人 創作	姓 名	李士璋
	國 籍	中華民國
	住、居所	高雄縣大社鄉民治路 43 號
三、申請人	姓 名 (名稱)	日月光半導體製造股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	高雄市楠梓加工出口區經三路 26 號
	代 表 人 姓 名	張虔生

四、中文發明摘要 (發明之名稱：堆疊型晶片封裝結構及其製程)

一種堆疊型晶片封裝結構，其包括：一基板，具有一開洞、多個第一打線接點、多個第二打線接點，第一打線接點及第二打線接點係位於開洞週邊區域之基板表面上，而開洞貫穿基板。一第一晶片，具有多個第一焊墊。一第二晶片，具有多個第二焊墊，第一晶片係以其第一晶片背面貼附於第二晶片之第二主動表面上，而第二晶片位於開洞中。多個第一導線，可以使第一焊墊與第一打線接點電性連接。多個第二導線，可以使第二焊墊與第二打線接點電性連接。以及一封裝材料，封裝材料包覆第一晶片、第二晶片、第一導線及第二導線。

英文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

本發明是有關於一種堆疊型晶片封裝結構及其製程，且特別是有關於一種可以大幅降低封裝厚度之堆疊型晶片封裝結構及其所對應之製程。

近年來，隨著電子技術的日新月異，高科技電子產品也相繼問世，因而更人性化、功能性更佳之電子產品不斷推陳佈新，然而各種產品無不朝向輕、薄、短、小的趨勢設計，以提供更便利舒適的使用。因此，就半導體封裝的領域而言，許多封裝的形式均是利用多晶片封裝的概念來設計其封裝架構，以縮減整體電路體積的大小，並提高電性效能。

請參照第 1 圖，其繪示習知堆疊型封裝結構之剖面示意圖。一封裝體 100 具有一第一晶片 120、第二晶片 130、一基板 140、多個導線 160a、160b、多個焊球 170、一封裝材料 150。其中，第一晶片 120 及第二晶片 130 分別具有一主動表面 122、132 及對應之一晶片背面 124、134，而在第一晶片 120 及第二晶片 130 之主動表面 122、132 的表層分別具有多個焊墊 126、136，位於主動表面 122、132 週邊的位置，其中第一晶片 120 以其晶片背面 124 黏合於第二晶片 130 之主動表面 132 的中間區域，並且第一晶片 120 之水平截面積必須小於第二晶片 130 之水平截面積。基板 140 具有一第一表面 142 及對應之一第二表面 144，在第一表面 142 上具有一晶片座 146 及多個打線接點 148a、148b，而在第二表面 144 具有多個焊球接點 149，其中打線接點 148a、148b 環繞於晶片座 146 的週邊區域，

五、發明說明(≥)

並且第二晶片 130 以其晶片背面 134 貼附於晶片座 146 上。另外，第一晶片 120 可以透過導線 160a 使第一晶片 120 之焊墊 126 與基板 140 之打線接點 148a 電性連接；而第二晶片 130 可以透過導線 160b 使第二晶片 130 之焊墊 136 與基板 140 之打線接點 148b 電性連接。封裝材料 150 包覆第一晶片 120、第二晶片 130 及導線 160a、160b，而焊球 170 焊合於第二表面 144 之焊球接點 149 上。

在上述的構裝中，由於第一晶片 120 及第二晶片 130 係堆疊於基板 140 之晶片座 146 上，此種封裝結構的厚度甚厚，且封裝體 100 的散熱效率及電性品質並不佳。

因此本發明的目的之一就是在提供一種堆疊型晶片封裝結構及其製程，可以降低封裝體之厚度。

本發明的目的之二就是在提供一種堆疊型晶片封裝結構及其製程，可以提高晶片之散熱效率。

本發明的目的之三就是在提供一種堆疊型晶片封裝結構及其製程，可以提高晶片之電性品質。

爲達成本發明之上述和其他目的，提出一種堆疊型晶片封裝結構，其至少包括：一基板，具有一基板表面，且該基板還具有一開洞、多個第一打線接點、多個第二打線接點，第一打線接點及第二打線接點係位於基板表面上，而開洞係貫穿基板。一第一晶片，具有一第一主動表面及對應之一第一晶片背面，而第一晶片還具有多個第一焊墊，位於第一主動表面上。一第二晶片，具有一第二主動表面及對應之一第二晶片背面，而第二晶片還具有多個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

第二焊墊，位於第二主動表面上，第二晶片位於開洞中，且第一晶片以其第一晶片背面貼附於第二晶片之第二主動表面上。多個第一導線，第一導線之一端與第一焊墊電性連接，而第一導線之另一端與第一打線接點電性連接。多個第二導線，第二導線之一端與第二焊墊電性連接，而第二導線之另一端與第二打線接點電性連接。以及一封裝材料，該封裝材料包覆第一晶片、第二晶片、第一導線、第二導線及基板表面。依照本發明的一較佳實施例，其中堆疊型晶片封裝結構，還包括多個焊球，且基板還具有一基板背面，基板背面與基板表面係位於基板相對應之兩面，而基板還具有多個焊球接點，位於基板背面上，且焊球分別位於焊球接點上。另外，第二晶片可以是突出於基板背面所形成之平面，或者第二晶片背面與基板背面亦可以是共平面。此外，第一晶片係以其第一晶片背面貼附於第二晶片之第二主動表面的中間區域。

為達成本發明之上述和其他目的，提出一種堆疊型晶片封裝結構，其至少包括：一基板，具有一基板表面，且基板還具有一開洞、多個打線接點，打線接點係位於基板表面上，而開洞係貫穿該基板。一第一晶片，具有一第一主動表面及對應之一第一晶片背面，而第一晶片還具有多個第一焊墊，位於第一主動表面上。一第二晶片，具有一第二主動表面及對應之一第二晶片背面，而第二晶片還具有多個第二焊墊，位於第二主動表面上，第二晶片位於開洞中，且第一晶片以其第一晶片背面貼附於第二晶片之

五、發明說明(4)

第二晶片背面上。多個導線，導線之一端與該些第一焊墊電性連接，而導線之另一端與打線接點電性連接。以及一封裝材料，封裝材料包覆第一晶片、第二晶片、導線及基板表面。依照本發明的一較佳實施例，其中堆疊型晶片封裝結構，還包括多個凸塊，凸塊分別位於第二焊墊上。而堆疊型晶片封裝結構，還包括多個焊球，且基板還具有一基板背面，基板背面與基板表面係位於基板相對應之兩面，而基板還具有多個焊球接點，位於基板背面上，焊球分別位於焊球接點上。此外，第二晶片可以是突出於基板背面所形成之平面，或者第二晶片之第二主動表面與基板背面亦可以為共平面的形式。另外，第一晶片係以其第一晶片背面貼附於第二晶片之第二晶片背面的中間區域。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示習知堆疊型封裝結構之剖面示意圖。

第 2 圖至第 4 圖繪示依照本發明第一較佳實施例之一種堆疊型晶片封裝結構製程之剖面示意圖。

第 5 圖繪示依照本發明第二較佳實施例之一種堆疊型晶片封裝結構之剖面示意圖。

第 6 圖繪示依照本發明第三較佳實施例之一種堆疊型晶片封裝結構之剖面示意圖。

第 7 圖繪示依照本發明第四較佳實施例之一種堆疊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

型晶片封裝結構之剖面示意圖。

第 8 圖繪示依照本發明第五較佳實施例之一種堆疊型晶片封裝結構之剖面示意圖。

第 9 圖繪示依照本發明第六較佳實施例之一種堆疊型晶片封裝結構之剖面示意圖。

圖式之標示說明：

100、200、300、400、500、600、700：封裝體

210：載座

212：載座表面

214：開口

216：鍍金區

218：基板置方區

610、710：晶片

120、220、320：第一晶片

222、712：第一主動表面

224、324：第一晶片背面

226、326、716：第一焊墊

122、132：主動表面

124、134：晶片背面

126、136：焊墊

130、230、330、430、530：第二晶片

232、332、532、714：第二主動表面

234、334、434：第二晶片背面

五、發明說明(6)

236、336、718：第二焊墊
140、250、350、650：基板
252：基板表面
254、354、454、554：基板背面
256：開洞
258：第一打線接點
260：第二打線接點
142：第一表面
144：第二表面
146：晶片座
148a、148b、358、758：打線接點
149、262、362：焊球接點
394、794：凸塊
240、242：耐熱性膠帶
160a、160b、372、670、770：導線
272：第一導線
270：第二導線
170、292、392：焊球
150、290、390：封裝材料
280：模具
282：凹穴

實施例

請參照第 2 圖至第 4 圖，其繪示依照本發明第一較

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

佳實施例之一種堆疊型晶片封裝結構製程之剖面示意圖。首先提供一載座 210，載座 210 具有一載座表面 212，而在載座表面 212 上具有一開口 214、一鍍金區 216、一基板置放區 218，其中鍍金區 216 係環繞於開口 214 的邊緣，而基板置放區 218 係位於鍍金區 216 的外側邊緣。然後還要提供一第一晶片 220、一第二晶片 230，第一晶片具有一第一主動表面 222 及對應之一第一晶片背面 224，而第一晶片 220 還具有多個第一焊墊 226，位於第一主動表面 222 上的邊緣區域；而第二晶片 230，具有一第二主動表面 232 及對應之一第二晶片背面 234，而第二晶片 230 還具有多個第二焊墊 236，位於第二主動表面 232 上的邊緣區域。還要提供一基板 250，基板 250 具有一基板表面 252 及對應之一基板背面 254，且基板還具有一開洞 256、多個第一打線接點 258、多個第二打線接點 260 及多個焊球接點 262，其中第一打線接點 258 及第二打線接點 260 係位於開洞 256 週邊區域之基板表面 252 上，而開洞 256 貫穿基板 250。

接下來，敘述堆疊型晶片封裝結構之製作程序，首先透過耐熱性膠帶 240，將第二晶片 230 以其第二晶片背面 234 貼附於載座 210 之開口 214 內；並且透過耐熱性膠帶 242，將基板 250 以其基板背面 254 貼附於載座 210 之基板置放區 218。然後進行一打線製程，製作多個第二導線 270，使得第二晶片 230 之第二焊墊 236 與基板 250 之第二打線接點 260 電性連接。接下來，再透過黏合的製程，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

將第一晶片 220 以其第一晶片背面 224 貼附於第二晶片 230 之第二主動表面 232 的中間區域。然後再進行一打線製程，製作多個第一導線 272，使得第一晶片 220 之第一焊墊 226 與基板 250 之第一打線接點 258 電性連接。

請參照第 3 圖，然後進行一封膠之製程，利用一模具 280 壓在基板 250 的邊緣上，而模具 280 具有一凹穴 282，可以容納第一晶片 220、第二晶片 230、第一導線 272 及第二導線 270，並且將模具 280 壓住基板 250 的邊緣。接下來，便將一封裝材料 290 灌入於凹穴 282 中，使得封裝材料 290 包覆第一晶片 220、第二晶片 230、第一導線 272、第二導線 270。然後再進行冷卻、脫模、剝離載座之步驟，由於封裝材料 290 與載座 210 之鍍金區 216 接觸，而金與封裝材料 290 間的接合性甚差，因此封裝材料 290 與載座 210 間是容易相互拔離的。

請參照第 4 圖，最後再進行一植球的步驟，透過迴焊的製程，可以將多個焊球 292 與基板 250 之焊球接點 262 焊合，便完成一封裝體 200 的製作。如此之封裝體 200，第二晶片 230 是突出於基板背面 254 所形成之平面。

在上述的結構中，由於封裝體 200 的厚度會趨近於第一晶片 220 與第二晶片 230 堆疊後的加總厚度，如此封裝體 200 的厚度可以變得甚薄。另外，當封裝體 200 焊合於一印刷電路基板(未繪示)上時，第二晶片 230 可以其第二晶片背面 234 直接與印刷電路基板導熱性連接，故可以大幅增加第二晶片 230 之散熱效率。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

然而本發明的應用，並非侷限於上述的方式，亦可以如第 5 圖所示，其繪示依照本發明第二較佳實施例之一種堆疊型晶片封裝結構之剖面示意圖。其中，第二晶片 330 亦可以是類似覆晶的形式，其製作方式乃是先藉由耐熱貼帶(未繪示)，將第二晶片 330 以其第二主動表面 332 貼附於載座(未繪示)的開口(未繪示)內。然後藉由耐熱貼帶(未繪示)，將基板 350 以其基板背面 354 貼附於載座之基板置放區(未繪示)。另外，再進行一貼附的製程，將第一晶片 320 以其第一晶片背面 324 貼附於第二晶片 330 之第二晶片背面 334 上。接下來，進行一打線製成，透過一導線 372，使得第一晶片 320 之第一焊墊 326 與基板 350 之打線接點 358 電性連接。然後再進行一封裝製程，一封裝材料 390 包覆第一晶片 320、第二晶片 330 及導線 372。接下來，進行一製作凸塊之製程，可以製作多個凸塊 394 於第二晶片 330 之第二焊墊 336 上。最後再進行一植球的步驟，透過迴焊(reflow)的製程，可以將多個焊球 392 與基板 350 之焊球接點 362 焊合，便完成一封裝體 300 的製作。如此之封裝體 300，第二晶片 330 是突出於基板背面 354 所形成之平面。

在上述的結構中，由於第二晶片 330 係透過多個凸塊 394 與印刷電路基板(未繪示)進行電性連接，如此第二晶片 330 與印刷電路基板間的電性路徑會縮短，故可以降低訊號衰減與延遲的發生機率，而提高電性品質。

在上述的第一較佳實施例與第二較佳實施例中，其

五、發明說明(10)

第二晶片均是突出於基板背面所形成之平面，然而本發明的應用並非侷限於上述的方式，亦可以是如第 6 圖、第 7 圖所示，其中第 6 圖繪示依照本發明第三較佳實施例之一種堆疊型晶片封裝結構之剖面示意圖，而第 7 圖繪示依照本發明第四較佳實施例之一種堆疊型晶片封裝結構之剖面示意圖。請先參見第 6 圖，第二晶片 430 之第二晶片背面 434 與基板背面 454 亦可以是共平面的形式，因而當封裝體 400 在與印刷電路基板(未繪示)焊合前，亦可以先製作至少一導熱性墊片(未繪示)於印刷電路板上對應於第二晶片的區域；當封裝體 400 在與印刷電路基板焊合後，第二晶片 430 會與導熱性墊片碰觸，如此第二晶片 430 的熱便可以藉由導熱性墊片而加速傳導出去。而在製作上，其大致與第一較佳實施例雷同，只是載座(未繪示)在對應於晶片放置的區域並不具有開口，亦即晶片放置區與基板置放區係為同平面的配置，如此封裝體 400 在製作完成之後，第二晶片背面 434 與基板背面 454 會形成共平面的形式。

請參見第 7 圖，第二晶片 530 之第二主動表面 532 與基板背面 554 亦可以是共平面的形式。而在製作上，其大致與第二較佳實施例雷同，只是載座(未繪示)在對應於晶片放置的區域並不具有開口，亦即晶片放置區與基板置放區係為同平面的配置，如此封裝體 500 在製作完成之後，第二主動表面 532 與基板背面 554 會形成共平面的形式。

在上述的實施例中，封裝體係具有多個晶片，然而本發明並非侷限於上述的方式，亦即封裝體亦可僅具有單

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (1)

一晶片，如第 8 圖、第 9 圖所示，其中第 8 圖繪示依照本發明第五較佳實施例之一種堆疊型晶片封裝結構之剖面示意圖，而第 9 圖繪示依照本發明第六較佳實施例之一種堆疊型晶片封裝結構之剖面示意圖。請先參照第 8 圖，封裝體 600 僅具有一晶片 610，而透過多個導線 670 分別與基板 650 電性連接，並且晶片 610 可以直接與印刷電路基板(未繪示)導熱性連接，以加速晶片 610 的散熱。

請參照第 9 圖，封裝體 700 僅具有一晶片 710，而晶片 710 具有一第一主動表面 712 及一第二主動表面 714，在晶片 710 還具有多個第一焊墊 716 及多個第二焊墊 718，其中第一焊墊 716 位於第一主動表面 712 上對應於晶片 710 邊緣的區域，而第二焊墊 718 位於第二主動表面 714 上。另外，透過多個導線 770，第一焊墊 716 可以與基板 750 之打線接點 758 電性連接，並且在晶片 710 之第二焊墊 718 上還可以製作多個凸塊，透過凸塊 794 可以使晶片 710 直接與印刷電路基板(未繪示)電性連接。

綜上所述，本發明至少具有下列優點：

1. 本發明之堆疊型晶片封裝結構及其製程，由於封裝體的厚度會趨近於第一晶片與第二晶片堆疊後的加總厚度，如此形式之封裝體厚度可以變得甚薄。

2. 本發明之堆疊型晶片封裝結構及其製程，當封裝體焊合於一印刷電路基板上時，第二晶片可藉由其第二晶片背面直接與印刷電路基板導熱性連接，故可以大幅增加第二晶片之散熱效率。

五、發明說明(12)

3. 本發明之堆疊型晶片封裝結構及其製程，由於第二晶片係透過多個凸塊與印刷電路基板進行電性連接，如此第二晶片與印刷電路基板間的電性路徑會縮短，故可以降低訊號衰減與延遲的發生機率，而提高電性品質。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種堆疊型晶片封裝結構，其至少包括：

一基板，具有一基板表面，且該基板還具有一開洞、複數個第一打線接點、複數個第二打線接點，該些第一打線接點及該些第二打線接點係位於該基板表面上，而該開洞係貫穿該基板；

一第一晶片，具有一第一主動表面及對應之一第一晶片背面，而該第一晶片還具有複數個第一焊墊，位於該第一主動表面上；

一第二晶片，具有一第二主動表面及對應之一第二晶片背面，而該第二晶片還具有複數個第二焊墊，位於該第二主動表面上，該第二晶片位於該開洞中，且該第一晶片以其該第一晶片背面貼附於該第二晶片之該第二主動表面上；

複數個第一導線，該些第一導線之一端與該些第一焊墊電性連接，而該些第一導線之另一端與該些第一打線接點電性連接；

複數個第二導線，該些第二導線之一端與該些第二焊墊電性連接，而該些第二導線之另一端與該些第二打線接點電性連接；以及

一封裝材料，該封裝材料包覆該第一晶片、該第二晶片、該些第一導線、該些第二導線及該基板表面。

2. 如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，還包括複數個焊球，且該基板還具有一基板背面，該基板背面與該基板表面係位於該基板相對應之兩面，而該

(請先閱讀背面之注意事項
填寫本頁)

裝

訂

線

六、申請專利範圍

基板還具有複數個焊球接點，位於該基板背面上，且該些焊球分別位於該些焊球接點上。

3.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，其中該基板還具有一基板背面，該基板背面與該基板表面係位於該基板相對應之兩面，而該第二晶片係突出於該基板背面所形成之平面。

4.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，其中該基板還具有一基板背面，該基板背面與該基板表面係位於該基板相對應之兩面，而該第二晶片背面與該基板背面係為共平面。

5.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，其中該第一晶片係以其該第一晶片背面貼附於該第二晶片之該第二主動表面的中間區域。

6.一種堆疊型晶片封裝結構，其至少包括：

一基板，具有一基板表面，且該基板還具有一開洞、複數個打線接點，該些打線接點係位於該基板表面上，而該開洞係貫穿該基板；

一第一晶片，具有一第一主動表面及對應之一第一晶片背面，而該第一晶片還具有複數個第一焊墊，位於該第一主動表面上；

一第二晶片，具有一第二主動表面及對應之一第二晶片背面，而該第二晶片還具有複數個第二焊墊，位於該第二主動表面上，該第二晶片位於該開洞中，且該第一晶片以其該第一晶片背面貼附於該第二晶片之該第二晶片背

(請先閱讀背面之注意事項
填寫本頁)

裝
訂
線

六、申請專利範圍

面上；

複數個導線，該些導線之一端與該些第一焊墊電性連接，而該些導線之另一端與該些打線接點電性連接；以及

一封裝材料，該封裝材料包覆該第一晶片、該第二晶片、該些導線及該基板表面。

7.如申請專利範圍第 6 項所述之堆疊型晶片封裝結構，還包括複數個凸塊，該些凸塊分別位於該些第二焊墊上。

8.如申請專利範圍第 6 項所述之堆疊型晶片封裝結構，還包括複數個焊球，且該基板還具有一基板背面，該基板背面與該基板表面係位於該基板相對應之兩面，而該基板還具有複數個焊球接點，位於該基板背面上，且該些焊球分別位於該些焊球接點上。

9.如申請專利範圍第 6 項所述之堆疊型晶片封裝結構，其中該基板還具有一基板背面，該基板背面與該基板表面係位於該基板相對應之兩面，而該第二晶片係突出於該基板背面所形成之平面。

10.如申請專利範圍第 6 項所述之堆疊型晶片封裝結構，其中該基板還具有一基板背面，該基板背面與該基板表面係位於該基板相對應之兩面，而該第二主動表面與該基板背面係為共平面。

11.如申請專利範圍第 6 項所述之堆疊型晶片封裝結構，其中該第一晶片係以其該第一晶片背面貼附於該第

(請先閱讀背面之注意事項
填寫本頁)

裝
訂
線

六、申請專利範圍

二晶片之該第二晶片背面的中間區域。

12. 一種晶片封裝結構，其至少包括：

一基板，具有一基板表面，且該基板還具有一開洞、複數個打線接點，該些打線接點係位於該基板表面上，而該開洞係貫穿該基板；

一晶片，具有一第一主動表面，而該第一晶片還具有複數個第一焊墊，位於該第一主動表面上，而該晶片位於該開洞中；

複數個導線，該些導線之一端與該些第一焊墊電性連接，而該些導線之另一端與該些打線接點電性連接；以及

一封裝材料，該封裝材料包覆該晶片、該些導線及該基板表面。

13. 如申請專利範圍第 12 項所述之晶片封裝結構，還包括複數個凸塊，而該晶片還具有一第二主動表面，該第二主動表面與該第一主動表面係位於該晶片相對應之兩面，且該晶片還具有複數個第二焊墊，位於該第二主動表面上，而該些凸塊係位於該些第二焊墊上。

14. 如申請專利範圍第 12 項所述之晶片封裝結構，還包括複數個焊球，且該基板還具有一基板背面，該基板背面與該基板表面係位於該基板相對應之兩面，而該基板還具有複數個焊球接點，位於該基板背面上，且該些焊球分別位於該些焊球接點上。

15. 如申請專利範圍第 12 項所述之晶片封裝結構，

(請先閱讀背面之注意事項
填寫本頁)

裝
訂
線

六、申請專利範圍

其中該基板還具有一基板背面，該基板背面與該基板表面係位於該基板相對應之兩面，而該晶片係突出於該基板背面所形成之平面。

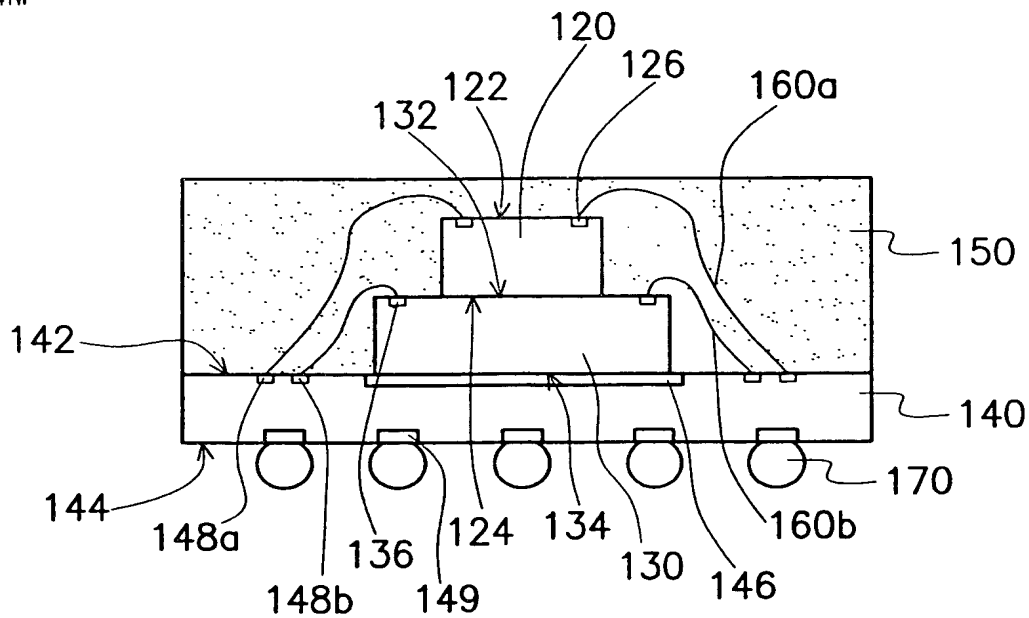
(請先閱讀背面之注意事項
填寫本頁)

裝

訂

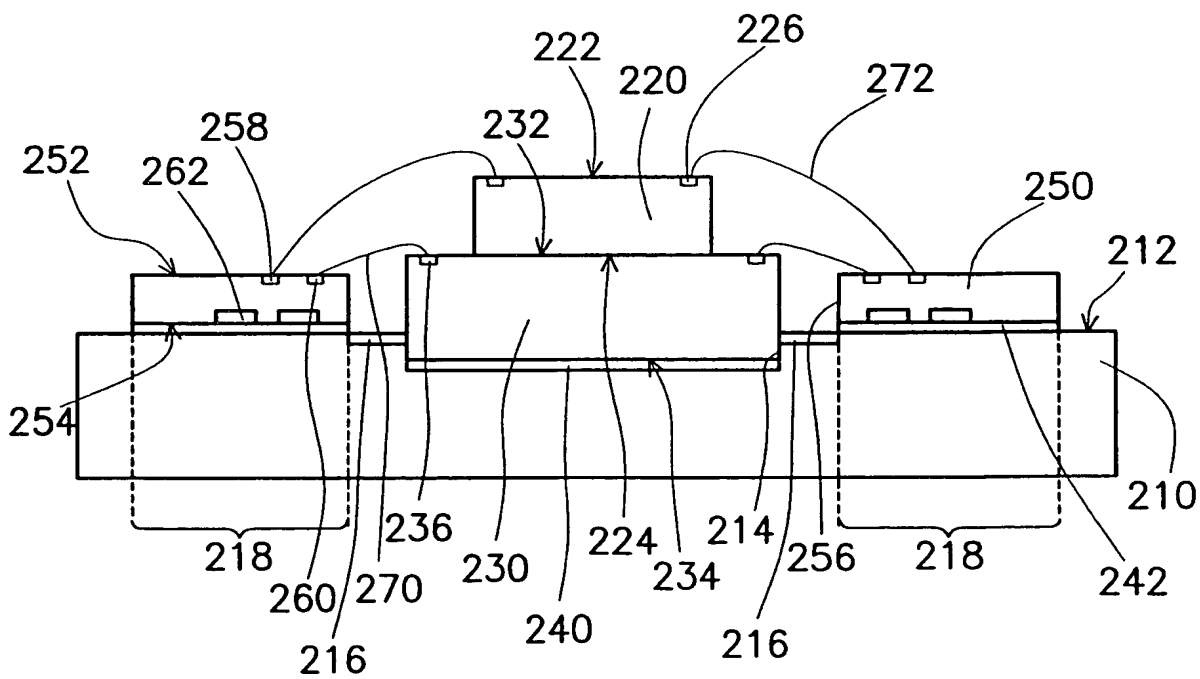
線

7574TW



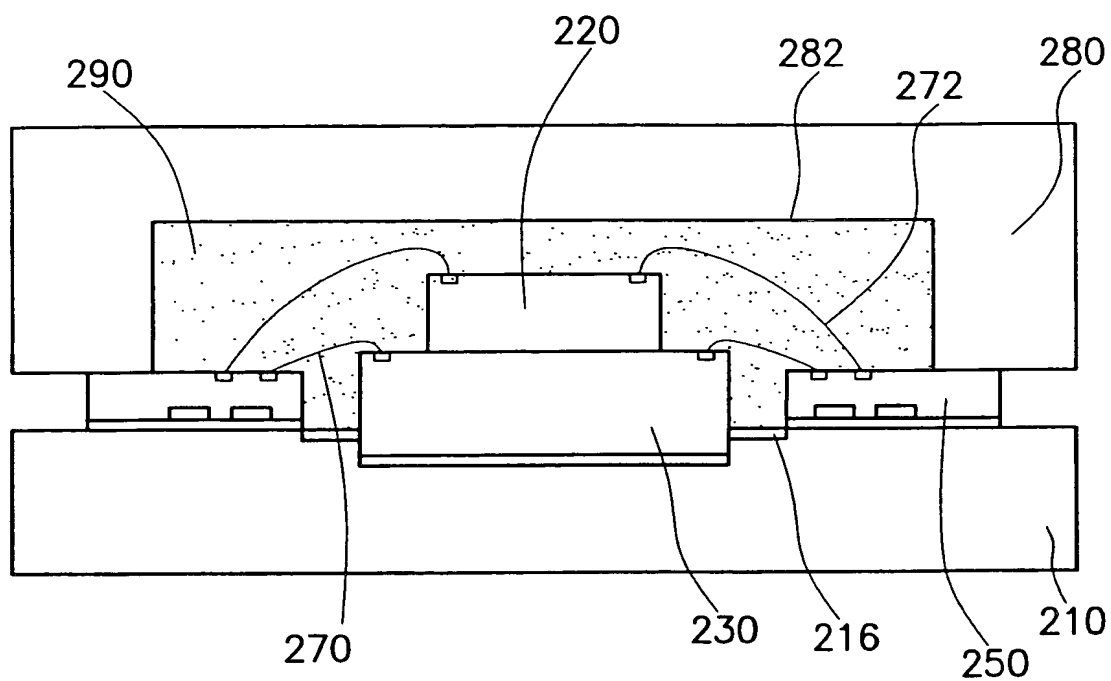
100

第 1 圖

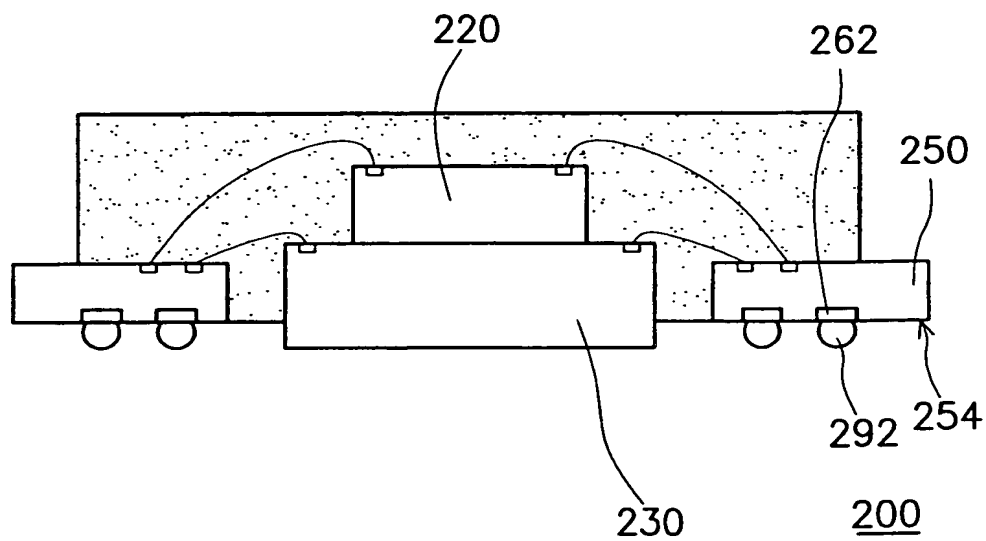


第 2 圖

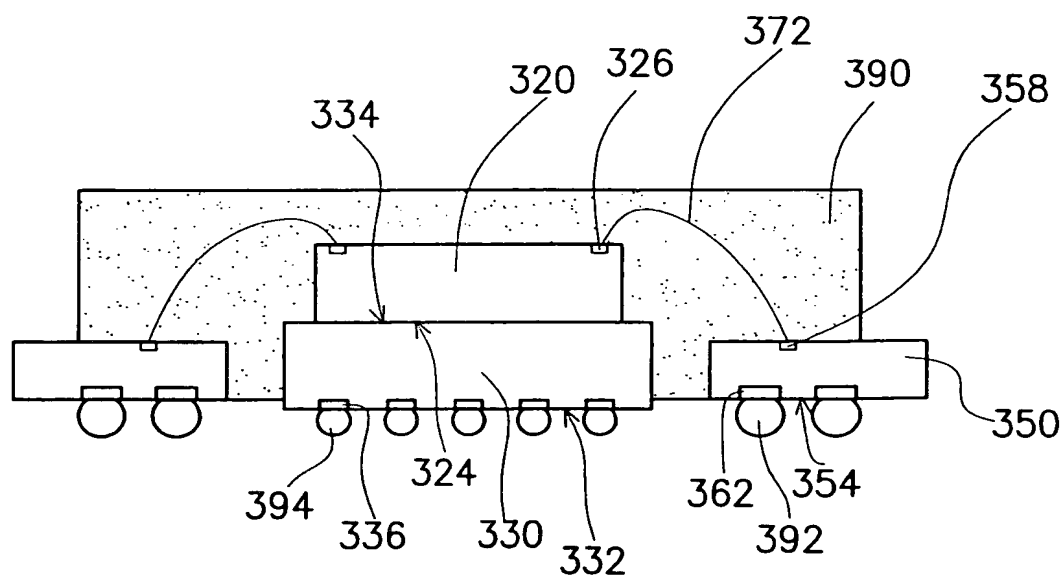
7574TW



第 3 圖

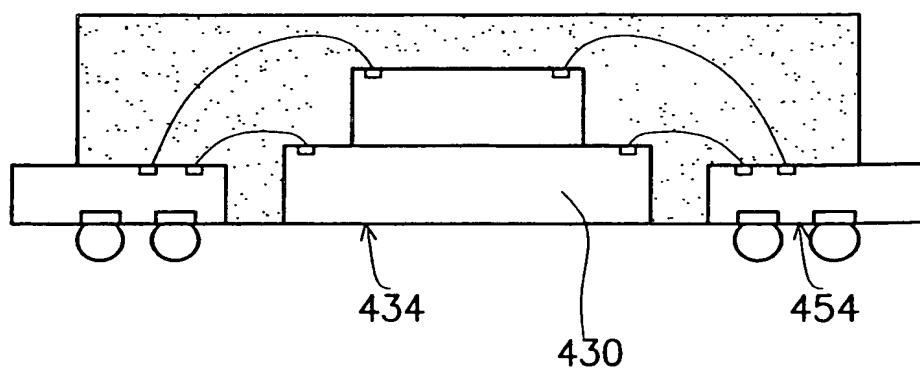


第 4 圖



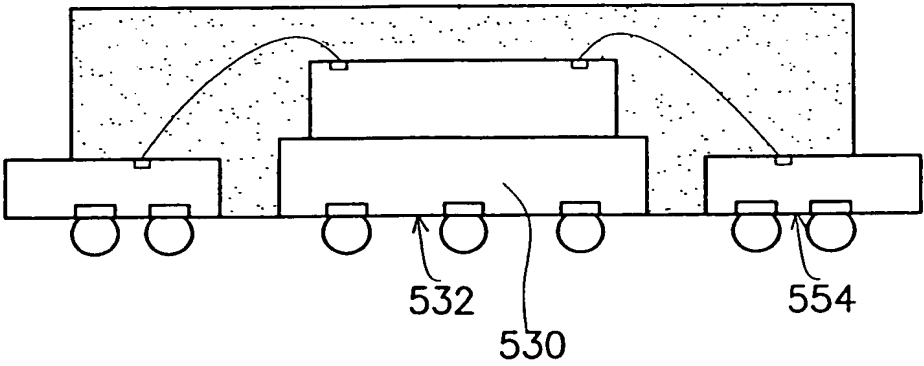
第 5 圖

300

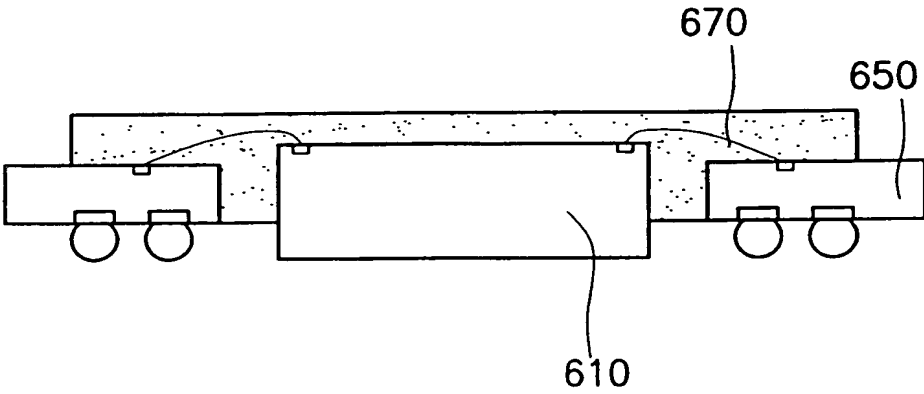


第 6 圖

400

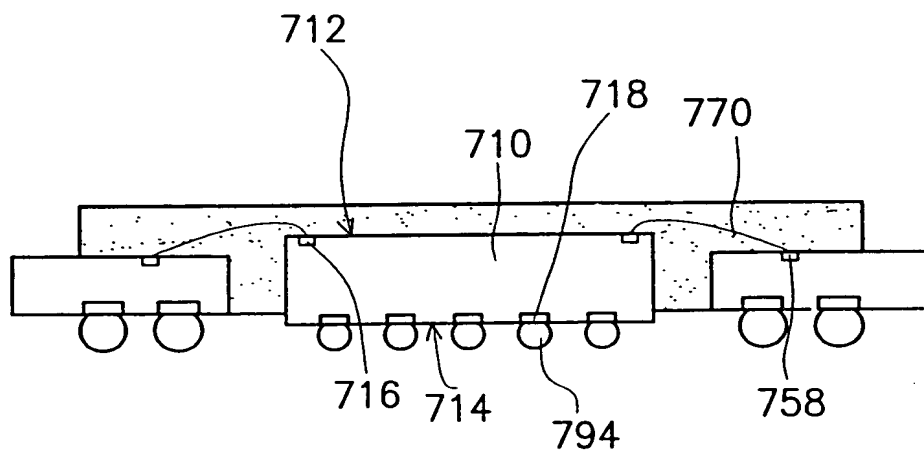


第 7 圖



600

第 8 圖



700

第 9 圖